

PHOTO DETECTOR AND ITS MANUFACTURE

Patent Number: JP61270880

Publication date: 1986-12-01

Inventor(s): IDE YUICHI

Applicant(s): NEC CORP

Requested Patent: JP61270880

Application Number: JP19850112651 19850524

Priority Number(s):

IPC Classification: H01L31/10; H01L29/80

EC Classification:

Equivalents: JP1871890C, JP5084677B

Abstract

PURPOSE: To make high speed response possible in the leading edge and the trailing edge of a signal current, by constituting the structure so as to separately take up the electron current and the positive hole current generated by light incidence to the external circuit.

CONSTITUTION: The semiconductor region 23 composed of P-type positive hole drawing up layer 22, N-type block layer 231, and photo absorbing layer 230, the spacer layer 24 to produce the undoped two-dimensional electron gas and the N-type electric charge absorbing layer 25 are formed in order on the semi-insulative semiconductor substrate 21. With respect to the electrode, the source electrode 28, the drain electrode 27, the gate electrode 26 and the positive hole drawing up electrode 29 are formed. The electron-positive hole pair is generated in the layer 230 by the incidence of light into this photo detector. In a very short period of time, the electron of the pair is taken out as the signal between the electrodes 28 and 29. On the other hand, in the structure provided with the layer 22, the positive hole can be taken out to the electrode 29 as the positive hole current where the inverse bias is impressed through the electrodes 26 and 29. Thus, the slow component can be eliminated and the high speed response can be obtained.

Data supplied from the **esp@cenet** database - 12

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭61-270880

⑤Int.Cl.	識別記号	序内整理番号	④公開 昭和61年(1986)12月1日
H 01 L 31/10 29/80		6819-5F 8122-5F	
// H 01 L 21/203 21/26		7739-5F	審査請求 未請求 発明の数 2 (全7頁)

④発明の名称 ホトディテクタとその製造方法

⑪特願 昭60-112651

⑫出願 昭60(1985)5月24日

⑬発明者 井手 雄一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑭出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑮代理人 弁理士 本庄 伸介

明細書

1. 発明の名称

ホトディテクタとその製造方法

2. 特許請求の範囲

(1) p型の第1半導体と、光吸収領域とこの光吸収領域の外側に位置しこの光吸収領域より不純物濃度が高い領域とから成るn型の第2半導体領域と、この第2半導体領域よりもバンドギャップが大きく2次元電子ガスを生成するn型第3半導体領域とが順次積層されてなる積層構造を備え、さらに、前記不純物濃度が高い領域の直上の前記第3半導体領域から前記2次元電子ガスが生成された領域までアロイ化してなる第1及び第2の電極と、前記第3半導体領域の表面上の前記第1及び第2の電極の間に設けた第3の電極と、前記第1半導体に形成された第4の電極とを備えていることを特徴とするホトディテクタ。

(2) 前記第1半導体がp型半導体基板であるこ

とを特徴とする特許請求の範囲第1項記載のホトディテクタ。

(3) 前記積層構造が半絶縁性基板上に形成してあることを特徴とする特許請求の範囲第1項記載のホトディテクタ。

(4) p型の第1半導体上にn型の第2半導体層を積層する第1のエピタキシャル成長工程と、前記第2半導体層にn型不純物を選択的に導入して互いに離れた少なくとも2箇所に不純物濃度の高い領域を形成する不純物導入工程と、前記第2半導体層上にn型の第3半導体層とこの第3半導体層よりバンドギャップの大きい2次元電子ガス生成用のn型の第4半導体層とを積層する第2のエピタキシャル成長工程と、前記不純物濃度の高い領域の直上の前記第4半導体層の表面から前記2次元電子ガスが生成された領域までアロイ化してなる第1及び第2の電極と、前記第4半導体層の表面上の前記第1及び第2の電極の間に第3の電極と、前記第1半導体に第4の電極をそれぞれ形成する電極形成工程とから成り、前記第1のエピ

タキシャル成長工程から前記不純物導入工程を経て前記第2のエビタキシャル工程に到るまでの一連の工程を全て大気から隔離された雰囲気中で行なうことを特徴とするホトディテクタの製造方法。

3. 発明の詳細な説明

(技術分野)

本発明は、光通信装置等において用いられるホトディテクタに関する。

(従来技術とその問題点)

モジュレーションドープしたホトディテクタ(以下MDPDと略記する)は高速応答特性を有する光検出器であり、またヘテロ接合を有する半導体装置である。従来報告されているMDPDの例として、アブライド・フィジクス・レターズ(Appl. Phys. Lett. 43 (1983) 308)に示されたMDPDの構造を断面図で第5図に示す。このMDPD構造は、半絶縁性InP基板11の上にアンドープAlInAsバッファー層12、アンドープ(n型)InGaAs光吸収層13、2次元電子

2次元電子ガス領域とは逆の方向へ移動し、比較的長い時間にわたって電子と再結合することなく、拡散電流成分となって電極に到達することが原因であることがわかっている。

従って、MDPDで高速応答特性を得るには正孔による遅い電流成分を極力抑えるかあるいは無視できるデバイス構造にすることが必要である。

そこで、本発明の目的は、信号電流の立上り及び立下りにおいて共に高速に応答するMDPDとその製造方法を提供することにある。

(問題点を解決するための手段)

前述の問題点を解決するために本願の第1の発明が提供するホトディテクタは、p型の第1半導体と、光吸収領域とこの光吸収領域の外側に位置しこの光吸収領域より不純物濃度が高い領域とから成るn型の第2半導体領域と、この第2半導体領域よりもバンドギャップが大きく2次元電子ガスを生成するn型第3半導体領域とが順次積層されてなる積層構造を備え、さらに、前記不純物濃度が高い領域の直上の前記第3半導体領域から前

ガスを形成するためのアンドープAlInAsスペーサ層14、及びn型AlInAs電荷供給層15並びに電極形成用n型InGaAsコンタクト層16を有する。ソース電極17及びドレイン電極18は、金・ゲルマニウム(AuGe)のアロイ電極であり、破線で示すようにアロイは2次元電子ガスの領域まで深く進んでいる。

この構造では、入射したフォトンで励起された電子-正孔対のうち、電子は、InGaAs層13とAlInAs層14の界面にできる内部電界により2次元電子ガス(13と14の界面でInGaAs層13側にできる)領域に走行し、ソースドレイン間に印加された電圧によって流れる電流として外部に取り出すことができる。このデバイスは2次元電子ガス領域での電子の移動度が非常に大きいから、高速に応答することが期待され、事実先述の論文でも信号の立上り時間は非常に短かい。しかし、実験データでは立下り時間が非常に長いことがわかっている。このように立下り時間が長いのは、光励起で発生した正孔が光吸収層13の奥、即ち

記2次元電子ガスが生成された領域までアロイ化してなる第1及び第2の電極と、前記第3半導体領域の表面上の前記第1及び第2の電極の間に設けた第3の電極と、前記第1半導体に形成された第4の電極とを備えていることを特徴とする。

また、前述の問題点を解決するために本願の第2の発明が提供するホトディテクタの製造方法は、p型の第1半導体上にn型の第2半導体層を積層する第1のエビタキシャル成長工程と、前記第2半導体層にn型不純物を選択的に導入して互いに離れた少なくとも2箇所に不純物濃度の高い領域を形成する不純物導入工程と、前記第2半導体層上にn型の第3半導体層とこの第3半導体層よりバンドギャップの大きい2次元電子ガス生成用のn型の第4半導体層とを積層する第2のエビタキシャル成長工程と、前記不純物濃度の高い領域の直上の前記第4半導体層の表面から前記2次元電子ガスが生成された領域までアロイ化してなる第1及び第2の電極を、前記第4半導体層の表面上の前記第1及び第2の電極の間に第3の電極

を、前記第1半導体に第4の電極をそれぞれ形成する電極形成工程とから成り、前記第1のエピタキシャル成長工程から前記不純物導入工程を経て前記第2のエピタキシャル工程に到るまでの一連の工程を全て大気から隔離された雰囲気中で行なうことを特徴とする。

(作用)

本発明のホトディテクタでは、上述の手段をとることにより従来技術の問題点を解決した。第1図は本願の第1の発明に基づくホトディテクタの第1の実施例の斜視図、第2図は第1図の破線30を含む平面におけるその実施例の模式的な断面図である。この実施例については後に(実施例)の欄で詳しく説明するが、ここではこの実施例の概略を説明しながら、本発明のホトディテクタの作用について説明する。半絶縁性半導体基板21の上に、正孔を吸出するためのp型の第1半導体22、光を吸収し、電子・正孔対を生成する光吸収層230とその外側にあって不純物濃度がこの光

吸収層230より大きいn型の空乏層ブロック層(以下、ブロック層と略記する)231とから成るn型の第2半導体領域23、第2の半導体領域よりバンドギャップの大きいn型(アンドープ)の2次元電子ガス生成スペーサ層24と同じくn型の電荷供給層25から成るn型の第3半導体領域240を有している。また電極としては、ソース電極として第1電極28、ドレイン電極として第2電極27、ゲート電極として第3電極26、正孔電流吸い出し用電極として第4電極29が形成してある。

このホトディテクタでは光を入射すると光吸収層230において電子・正孔対が生成される。このうち電子は、2次元電子ガス領域近傍で発生する内部電界によりごく短時間のうちに2次元電子ガス領域に到達するから、ソース、ドレイン間に信号電流として取り出すことができる。2次元電子ガス中では電子は、散乱を受ける割合が小さく通常の単層半導体より大きな移動度を有しているから、電極間での電子の走行時間が短く高速に

応答するのである。一方、正孔は、電子と反対方向に移動していくが、本発明のように正孔吸い出しのための第1半導体を設けた構造では、電極26と29により逆方向バイアスした状態にして、正孔電流として電極29に吸い出すことが可能である。その際、バイアスを高くすればするほど正孔電流を速く吸い出せ、高速応答が可能となるが、同時に第1半導体22から第1電極28及び第2電極27のアロイ部に向かって空乏層が延びて行きついにはこれら電極に達してしまう。本発明においてはブロック層231を設け、空乏層が容易に第1電極及び第2電極に達しないようにしてあるから、高いバイアスをかけ、高速応答を得ることが可能である。

以上述べたように、本発明の構造を有するMDPDでは、電子電流と正孔電流とを分離して外部回路に取り出すことにより、従来問題であった正孔の拡散による遅い成分を速やかに取り除くことが可能になっている。

(実施例)

次に本発明の実施例について詳しく説明する。

まず、第1図及び第2図に示した本願の第1の発明の第1の実施例について説明する。21は半絶縁性InP基板であり、その上にp型InGaAs(正味の不純物濃度 $\sim 5 \times 10^{18} \text{ cm}^{-3}$ 、厚さ $\sim 0.5 \mu\text{m}$)正孔吸い出し層(第1半導体)22、n型InGaAs(正味の不純物濃度 $\sim 6 \times 10^{18} \text{ cm}^{-3}$ 、厚さ $\sim 0.3 \mu\text{m}$)ブロック層231、n型(アンドープ)のInGaAs(正味の不純物濃度 $\sim 3 \times 10^{18} \text{ cm}^{-3}$ 、厚さ $\sim 1.5 \mu\text{m}$)光吸収層230、アンドープAlInAs2次元電子ガス生成用スペーサ層24(厚さ $\sim 100 \text{ \AA}$)、n型AlInAs(正味の不純物濃度 $\sim 5 \times 10^{18} \text{ cm}^{-3}$ 、厚さ $\sim 1000 \text{ \AA}$)電荷供給層25が順次エピタキシャル成長されている。ブロック層231には一部に正孔吸い出し層(第1半導体)22に達する深さの溝が形成され、その上に引き続きエピタキシャル成長することにより上記の構造が形成されている。尚、n型InGaAs光吸収層230とn型InGaAsブロック層231とが前述の第2半導体領域を形成し、スペーサ層24と電荷供給層25

とで前述の第3半導体領域が形成されている。電極は、ソース電極(第1電極)28及びドレイン電極(第2電極)27を金・ゲルマニウムで、ゲート電極(第3電極)26をチタン・金で、正孔吸い出し電極(第4電極)29を金・亜鉛でそれぞれ形成している。

第3図は本願の第1の発明の第2の実施例の模式的な断面図である。p型InP基板(第1半導体)22上にn型(アンドープ)InGaAs(正味の不純物濃度 $\sim 3 \times 10^{11} \text{ cm}^{-3}$ 、厚さ $\sim 0.3 \mu\text{m}$)光吸収層230を積層し、その後、n型不純物としてSiをイオン注入により導入して40で示すようなn型InGaAs(正味の不純物濃度 $\sim 6 \times 10^{11} \text{ cm}^{-3}$)ブロック層231となる領域が形成されている。その上にn型(アンドープ)InGaAs(正味の不純物濃度 $\sim 3 \times 10^{11} \text{ cm}^{-3}$ 、厚さ $\sim 1.2 \mu\text{m}$)光吸収層230、アンドープAlInAs2次元電子ガス生成用スペーサ層24(厚さ $\sim 100 \text{ \AA}$)、n型AlInAs(正味の不純物濃度 $\sim 5 \times 10^{11} \text{ cm}^{-3}$ 、厚さ $\sim 1000 \text{ \AA}$)電荷供給層25が順次積層された構造を有し

ている。各電極の構造等は、第1図の実施例の場合と同じである。

第1図の実施例では、n型InGaAsブロック層231にエッティング、又は選択エピタキシーにより形成された溝の上に積層構造を設けるので、第2図の断面図に示したように2次元電子ガス領域が屈曲している。このためソース電極(第1電極)28とドレイン電極(第2電極)27のアロイ領域が屈曲部を含むようにして2次元電子が高速で走行できるように工夫されている。これに対し、第3図の実施例では屈曲部が存在しないので電極の配置が比較的自由である。

次に、第3図実施例の製造に適用する本願の第2の発明の一実施例を説明する。

第3図の実施例を従来の方法で製造するとすると、次のように行われる。即ち、先ずp型InP基板(第1半導体)22上に第1の液相エピタキシャル工程によりn型(アンドープ)InGaAs光吸収層230を成長する。次にこの結晶を液晶エピタキシャル成長炉から取り出し、ブロック層

231とする領域を除いてマスキングした後、イオン注入装置へ移す。イオン注入によりSiを導入する。次にイオン注入装置より取り出し、マスクを除去し、結晶をアニールしてSiを活性化させ、n型InGaAsブロック層231を得る。更にこの結晶を再び液相エピタキシャル成長炉に移し、第2の液相エピタキシャル工程によりn型InGaAs光吸収層230、アンドープAlInAsスペーサ層24、n型AlInAs電荷供給層25を順次エピタキシャル成長する。次にソース電極28とドレイン電極27をして金・ゲルマニウムを蒸着してアロイ化し、更にゲート電極26としてチタン・金を正孔吸い出し電極29として金・亜鉛を蒸着して第3図のMDPDが得られる。

この従来の製造方法は、工程数が多く複雑である上に、高品質な結晶が得られにくく、得られる素子の性能や信頼性、またその歩留りが良くない欠点があった。これは第1の液相エピタキシャル工程から第2の液相エピタキシャル工程までの間に結晶が空気に曝されてしまうことが避けられ

ず、結晶表面の汚染や酸化が生じていたためである。

本願の第2発明の製造方法によればこの欠点を解決することができる。第4図(a)～(d)は、本願の第2発明の一実施例の各工程における半製品の構造を示す模式的な断面図である。先ず、p型InP基板(第1半導体)22(第4図(a))を有機洗浄、エッティングにより清浄化した後、分子線エピタキシー(以下、MBEと略記する)装置に導入する。通常のMBE法により第4図(b)のようにp型InP基板上にアンドープのn型InGaAs(正味の不純物濃度 $\sim 3 \times 10^{11} \text{ cm}^{-3}$)光吸収層230を $0.3 \mu\text{m}$ 成長する(第1のエピタキシャル成長工程)。引き続き同一の真空槽中で収束イオンビーム法によりSiを第4図(c)の40のように選択的にイオン注入し、光吸収層230の一部を残してそのまわりを高濃度のn型InGaAsブロック層(正味の不純物濃度 $\sim 6 \times 10^{11} \text{ cm}^{-3}$)231に変換する。Siの活性化のためのアニールは、MBE装置中で基板を加熱する

ことにより達成される（以上が不純物導入工程）。引き続き同一の真空槽中でアンドープのn型InGaAs（正味の不純物濃度～ $3 \times 10^{14} \text{ cm}^{-3}$ ）光吸收層230を1.2μm、アンドープのAlInAsスペーサ層24を100Å、n型のAlInAs（正味の不純物濃度～ $5 \times 10^{14} \text{ cm}^{-3}$ ）25を0.1μm順次MBE法によって成長し（第2のエピタキシャル成長工程）第4図（d）に示すような積層構造を形成する。こうして得た結晶をMBE装置から取り出し最後に、第1～第4電極を形成するがこの工程は従来技術と変わりがない。以上述べた本実施例の製造方法によれば、積層構造の形成に関わる全工程が空気から遮断された真空槽中で行われるから、結晶表面の汚染や酸化が行らず極めて良質の結晶を得ることができる。従って光吸收層230とスペーサ層24の界面に導入される結晶欠陥も少なくなり、2次元電子の散乱を減らし、電子の走行時間をより短くすることができる。即ち、応答の速いMDPDが得られる。また、結晶欠陥が減るのであるから、デバイスの信頼性も、歩留り

も向上する。尚、上記の実施例では、ブロック層231としてn型InGaAsを用いたが、これは本発明の主旨を満せばAlInAsであっても、InPであっても良い。また、第1図実施例では半絶縁性基板上に積層構造を形成してあるが、これはデバイスの集積化に向くものであり、他の実施例にも適用可能である。また、第3図実施例のように、p型の第1半導体を基板に用いる、換言すれば、p型InP基板等を用いる構造でも本発明の要件を満しその目的を達することができる。

また、本発明の製造方法の実施例では、第1及び第2のエピタキシャル工程にMBE法を用いたが、本発明の要件を満せば、ハロゲンまたはハイドライドガスを用いる他の気相成長法や、有機金属熱分解法、或いはこれらとMBEの組み合せでも良い。また、不純物導入の方法として収束イオンビームによるイオン注入を用いたが、これは一般のイオン注入法でも、或いは、熱拡散による方法でも本発明の趣旨を満せば同様の効果が得られる。

尚、実施例としてInP基板を用い、InGaAlAs系の材料について説明したが、GaAlAs系やGaAlSb系等の他の半導体材料にも本発明は適用できるのは言うまでもない。

（発明の効果）

本願の第1の発明の構造では、光吸收層（第2半導体領域）で発生した電子-正孔対のうち電子は従来の構造同様応答速度の速い成分として取り出し、且つ従来問題となっていた正孔の遅い拡散を除去できる。そこで、本願の第1の発明によれば、信号電流の立上り及び立下りにおいて、ともに高速に応答するホトディテクタが提供できる。

また本願の第2の発明によれば、信頼性の高い、高速応答特性に優れたホトディテクタを高い歩留りで製造する方法が提供できる。

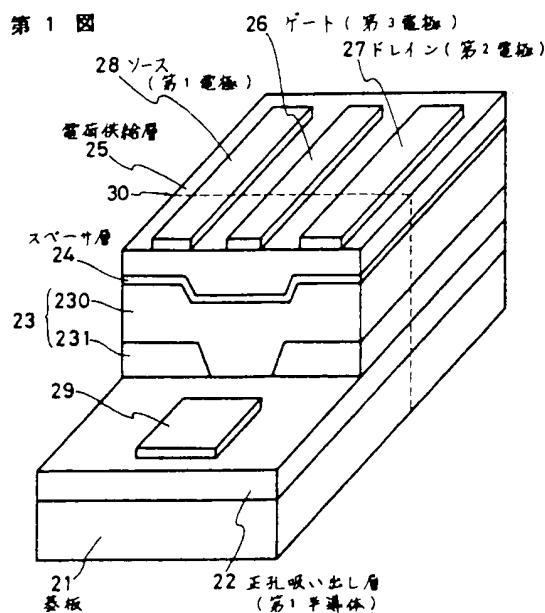
4. 図面の簡単な説明

第1図は本願の第1の発明の第1の実施例の斜視図、第2図は第1図実施例の模式的な断面図、第3図は本願の第1の発明の第2の実施例の模式

的な断面図、第4図（a）～（d）は本願の第2の発明の製造方法の各工程における半製品を示す模式的な断面図、第5図は従来のモジュレーションドープ・ホトディテクタの模式的な断面図である。

11, 21…半絶縁性InP基板、12…アンドープAlInAsバッファー層、22…p型InGaAs又はp型InP正孔吸い出し層（第1半導体）、13…n型InGaAs光吸收層、23…第2半導体領域、230…n型InGaAs光吸收層、231…n型InGaAs空乏層ブロック層、14, 24…アンドープAlInAsスペーサ層、15, 25…n型AlInAs電荷供給層、26…ゲート電極（第3電極）、17, 27…ドレイン電極（第2電極）、18, 28…ソース電極（第1電極）、29…正孔電流吸い出し電極（第4電極）。

代理人弁理士 本庄伸介



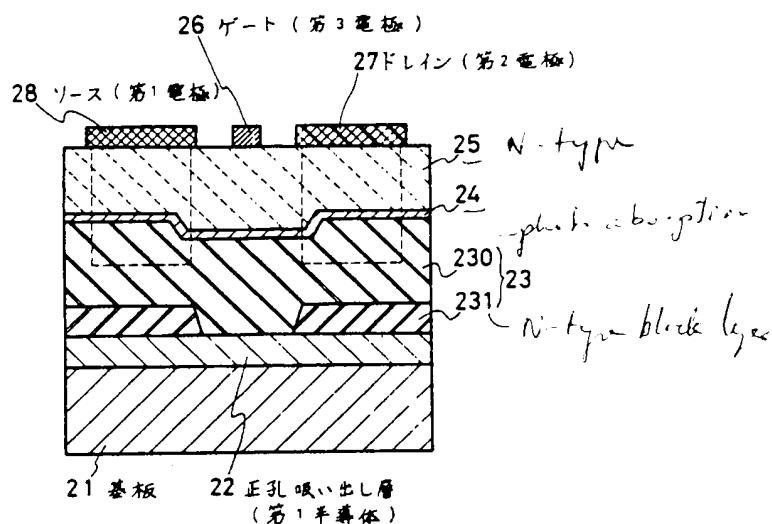
29 正孔吸引出し電極 (第4電極)

23 第2半導体領域

230 光吸収層

231 ブロック層

第2図



23 第2半導体領域

230 光吸収層

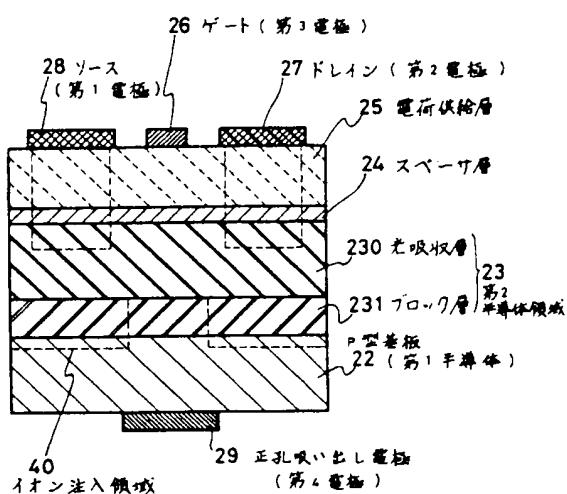
231 ブロック層

24 スペーサ層

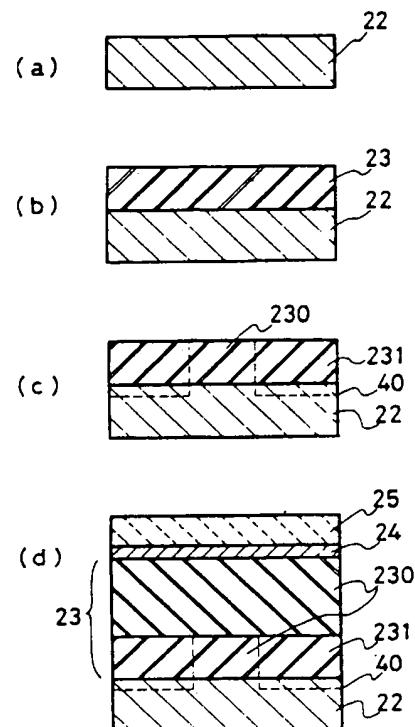
25 電荷供給層

第4図

第3図



40 イオン注入領域



第 5 図

